

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-172897

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

G01R 31/28
H01L 21/66

(21)Application number : 03-342740

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1991

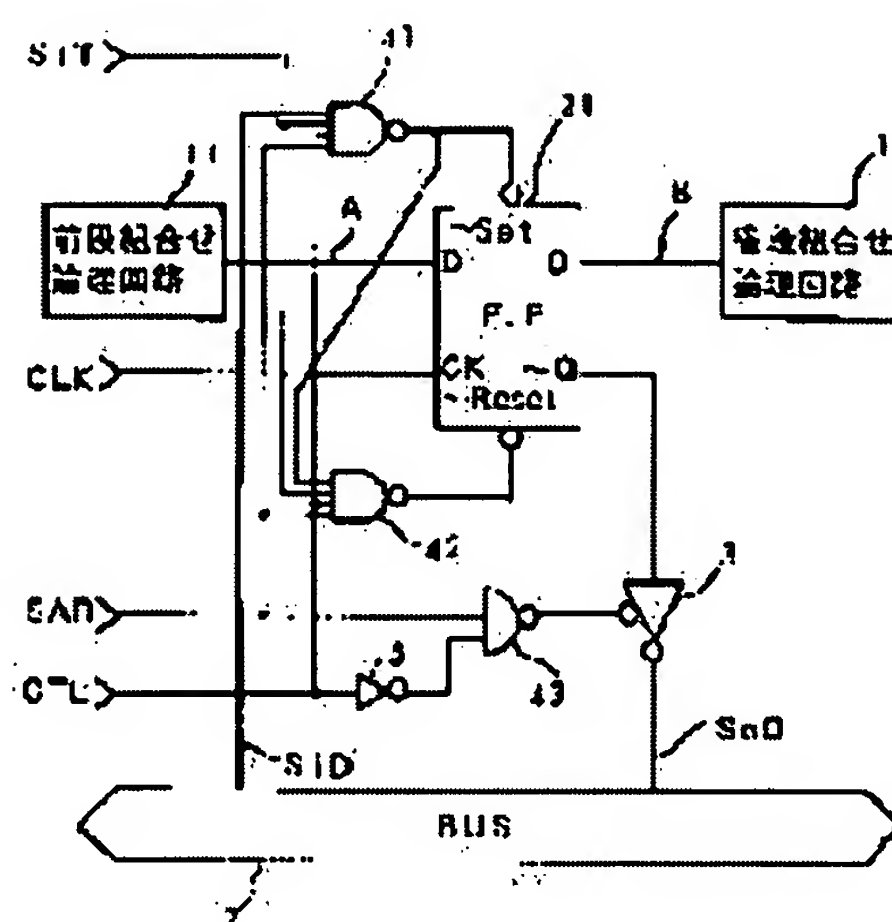
(72)Inventor : MATSUBARA OSAMU

(54) SCAN CIRCUIT FOR DIGITAL LOGIC DEVICE

(57)Abstract:

PURPOSE: To suppress the increase of delay by preventing the increase of fan-out at the output terminal part of a flip-flop by taking out the test result signal of a fore-stage combination logic circuit from the output terminal different from a rear-stage combination logic circuit output terminal of the flip-flop.

CONSTITUTION: In the scan-out operation, the test result signal of a fore-stage combination logic circuit 11 is applied to the D terminal of an FF 21 and latched, and sent into a buss 7 through a tristate buffer 3. Further, in the scan-in operation, the test signal SID for a rear-stage combination logic circuit 12 is latched with the FF 21 through a NAND gate 41 and sent into a rear stage logic block 12. When the test result signal of the circuit 11 is sent into the buss 7, the tristate buffer 3 is connected with the Q terminal of the FF 21, and a signal line B is free from load. Further, since the test signal sent into the circuit 12 is inputted from the Set terminal and Reset terminal of the FF 21, a signal line A is free from load, and the need of a selecting circuit is obviated.



LEGAL STATUS

[Date of request for examination] 23.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2918730

[Date of registration] 23.04.1999

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-172897

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
H 0 1 L 21/66		Z 8406-4M		
		8912-2G	G 0 1 R 31/ 28	G

審査請求 未請求 請求項の数3(全 14 頁)

(21)出願番号 特願平3-342740

(22)出願日 平成3年(1991)12月25日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 松 原 修

神奈川県横浜市戸塚区戸塚町216番地株式

会社日立製作所戸塚工場内

(74)代理人 弁護士 高橋 明夫 (外1名)

(54)【発明の名称】 デジタル論理装置のスキャン回路

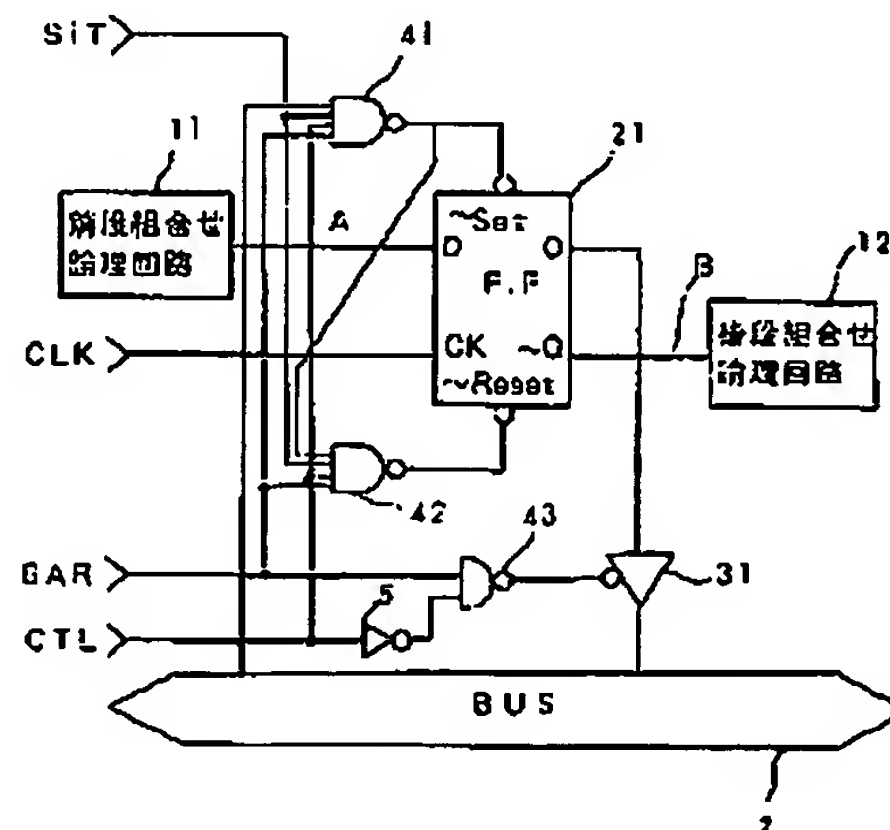
(57)【要約】

【目的】 論理回路装置内の信号線に触れることなく論理ブロックのテスト結果を取り出し、論理ブロックにテスト信号を印加することのできるデジタル論理装置のスキャン回路を提供する。

【構成】 フリップフロップ回路がラッチする前段組合せ論理回路のテスト結果信号を上記信号線とは別のフリップフロップ回路出力端子よりトライステートバッファ回路等を用いて取り出すようにする。

【効果】 論理テスト回路が簡単化され、遅延時間が短縮される。

図 3



(2)

特開平5-172897

1

2

【特許請求の範囲】

【請求項1】 フリップフロップ回路により前段の組合せ論理回路の出力信号をラッチし、上記フリップフロップ回路の二つの出力端子の一方より上記ラッチした信号を後段の組合せ論理回路に供給し、テスト信号の論理値を当該フリップフロップ回路の通常動作に影響しない全ての端子、例えばセットおよびリセット端子に印加して上記フリップフロップ回路にラッチし、これを上記後段の組合せ論理回路に供給するスキャンイン回路を設けたデジタル論理装置のスキャン回路において、上記後段の組合せ論理回路に供給するデータが“1”の場合に該当する上記フリップフロップ回路のセット端子に論理値を印加するスキャンイン回路と、上記後段の組合せ論理回路に供給するデータが“0”の場合に該当する上記フリップフロップ回路のリセット端子に論理値を印加するスキャンイン回路を併設したことを特徴とするデジタル論理装置のスキャン回路。

【請求項2】 請求項1において、上記後段の組合せ論理回路に供給するデータが“1”の場合に該当する上記フリップフロップ回路のセット端子に論理値を印加するスキャンイン回路とリセット端子は、とくに限定されない他のフリップフロップ回路と共通に論理値が印加されるジェネラルリセット回路を併設したことを特徴とするデジタル論理装置のスキャン回路。

【請求項3】 請求項1において、上記後段の組合せ論理回路に供給するデータが“0”の場合に該当する上記フリップフロップ回路のリセット端子に論理値を印加するスキャンイン回路とセット端子は、とくに限定されない他のフリップフロップ回路と共通に論理値が印加されるジェネラルリセット回路を併設したことを特徴とするデジタル論理装置のスキャン回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はLSI等の高速デジタル論理装置の論理テストに係り、とくに上記論理装置内の組合せ論理回路にテスト信号を印加し、テスト結果を取り出すとのできるスキャンイン／スキャンアウト回路に関する。

【0002】

【従来の技術】

【従来の技術】 一般にデジタルLSIの検査においては図5に示すように、LSIが搭載するゲート数に比例して不良個所の検出率が低下し、同時に診断データの作成を含む検査工数が増加する傾向があった。大規模論理LSIの多くはクロック信号を用いた逐次動作型に構成され、内部の組合せ論理回路間にフリップフロップ回路（以下FFと略称する）を設けデジタル信号を適宜ラッチするようにしていた。

【0003】 図6は上記逐次動作型の大規模論理LSIの論理テストを行うスキャン法を説明する図である。斜

線で示すテスト対象の組合せ論理回路には入力部のFF、出力部のFF等が付加され、また入出力端子等が付随する。入力部FFにはスキャンイン回路により外部からのテストパターンが設定され、出力部FFが格納するテスト結果はスキャンアウト回路により読みだされて外部に出力される。

【0004】 図7は、企画センタ社発行の渡辺 誠著「超LSI設計」に記載された上記スキャン法を説明する回路構成図である。前段組合せ論理回路のテスト結果を観察したい場合には、テスト結果をFF2にラッチして例えばトライステートバッファ3を介して読みだしてLSI内部のバス7に戻すようにし、また、後段組合せ論理回路12にテストデータを設定する場合にはFF2の入力信号線Aに切替回路4を設け、切替回路4を介して後段組合せ論理回路12のテスト信号をFF2にラッチするようにしていた。

【0005】

【発明が解決しようとする課題】 上記従来技術では、各組合せ論理回路のテストを行うために図7に示したようにFF2の入力信号線Aには切替回路4を挿入し、また、出力信号線Bにはトライステートバッファ3を接続する必要があった。上記AとBは論理装置内の通常の信号線であるため、これらの信号線上にテストのための上記回路を付加すると信号の電圧遅延が増加するという問題があった。

【0006】 遅延時間 T_{eq} は配線容量を含む負荷容量C_Lに比例して式(1)のように増加する。

$$T_{\text{eq}} = T_{\text{eq0}} + \alpha C_L \quad (1)$$

ただし、 T_{eq0} は無負荷遅延時間、 α は比例係数である。第1の課題はFFに値を設定するために新規に挿入した切替回路4の遅延時間が上記 T_{eq} に追加されることである。

【0007】 第2の課題はFFの値を読みだすために挿入したトライステートバッファ3の負荷容量が上記C_Lに追加され遅延時間 T_{eq} が増加することである。通常、大規模論理回路装置の設計は複数人の設計チームが論理設計、テスト設計、その他を分担して進められる。このような場合、テスト設計者は論理設計者が始めに設計した回路を検討して付加すべきテスト回路を論理設計者に連絡し、これに応じて論理設計者は上記テスト回路の付加によって生じる電圧遅延の影響を考慮して論理回路を再検討するようにしていた。このため、設計工数が増加するのみならず、遅延過大で仕様を満たさない場合が発生したりしていた。

【0008】 原理的にこのような設計工数増加、遅延過大等の問題は、信号線にテスト用の回路が接続されるために発生する。本発明の目的は、論理回路装置内の信号線に触れることなく、論理ブロックのテスト結果信号を取り出すことができ、また、論理ブロックにテスト信号を印加することのできるデジタル論理装置のスキャン回

(3)

特開平5-172897

3

4

路を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するために、上記フリップフロップ回路がラッチする前段組合せ論理回路のテスト結果信号を上記信号線Bとは別のフリップフロップ回路出力端子よりトライステートバッファ回路等を用いて取り出すようにする。

【0010】さらに、テスト信号の論理値を上記フリップフロップ回路のセットおよびリセット端子に印加して上記フリップフロップ回路にラッチするようにして上記信号線A内の切替回路4を省略するようにする。

【0011】また、上記前段組合せ論理回路のテスト結果信号を上記信号線Bとは別のフリップフロップ回路出力端子よりトライステートバッファ回路等を介して上記デジタル論理装置内のデジタル信号バスに出力し、さらに、上記デジタル信号バスにより送信されるテスト信号の論理値を上記フリップフロップ回路のセットおよびリセット端子に印加して上記フリップフロップ回路にラッチし、上記後段の組合せ論理回路に供給するようにする。

【0012】

【作用】以上のように構成した本発明のデジタル論理装置のスキューン回路は、上記前段組合せ論理回路のテスト結果信号を上記信号線Bとは別のフリップフロップ回路出力端子より取り出すので、取り出し部の配線容量およびゲート入力容量が上記信号線B部につかず、これにより上記信号線B部における信号の遅延増加を防止する。さらに、テスト信号を上記フリップフロップに印加する上記切替回路を省略するので上記信号線A部における信号の遅延増加を防止する。

【0013】

【実施例】図1は本発明によるデジタル論理装置のスキューン回路の一例を示す回路図である。なお、以下の説明においては例えば論理値Qの反転を $\sim Q$ のように表記することにする。スキューンアウト動作では前段組合せ論理回路11のテスト結果信号がFF21のD端子に印加されてクロック信号CLKによりラッチされ、トライステートバッファ3を介してバス7に送りだされる。またスキューンイン動作では、後段組合せ論理回路用のテスト信号SIDがNANDゲート41を介してFF21にラッチされ後段論理ブロック12に送りだされる。FF21と前段及び後段の組合せ論理回路11および12間を結ぶ線AとBが信号線である。

【0014】図1では前段組合せ論理回路11のテスト結果信号をバス7に送り出す場合、トライステートバッファ3はFF21の $\sim Q$ 端子に接続されるので信号線Bの負荷にはならない。また、後段組合せ論理回路12に送るテスト信号はFF21の $\sim Set$ 及び $\sim Reset$ 端子より入力されるので、信号線Aの負荷にはならず、かつ、図7の切替回路4も不要となり、遅延時間が増加

しない。したがって、信号線AとBはテスト回路の影響を全く受けないのである。

【0015】図2は上記第1図の回路の動作を説明するタイミングチャートである。スキューンイン／スキューンアウト切替信号CTLおよびFFの識別信号SARが共にハイの時に、タイミング信号STのハイ(High)により後段組合せ論理回路12のテスト信号(FF21の書き込みデータ)SIDがFF21に設定される。

【0016】本実施例においては、FF21のSetおよびResetはネガ信号 $\sim Set$ および $\sim Reset$ であるため上記3つの信号の論理積をとるのにナンド41、42を用いているが、これらは本発明の趣旨を逸脱しないかぎりとは限定されない。いま、S1Aがハイのときには、上記3つの信号の論理積が成立し、ナンド41はロー(Low)を出力するので、FF21の反転セット端子 $\sim Set$ が有効となり、FF21のQ出力はハイに限定される。すなわち後段組合せ論理回路にたいしてハイが設定される。

【0017】ナンド42にはSIDの代わりにナンド41の出力が入力されている。SIDがローのときには、ナンド41の論理積は成立せずハイを出力するので、FF21はリセットされないかわりにナンド42の論理積が成立しロー(Low)を出力するので、FF21の反転リセット端子 $\sim Reset$ が有効となり、FF21のQ出力はローに限定される。すなわち後段組合せ論理回路に対してローが設定される。

【0018】以上のように本実施例では、S1AがハイならFFがセットされることによって後段組合せ論理回路に対してはハイが設定され、SIDがローならばFFがリセットされることによって後段組合せ論理回路に対してローが設定される。前段組合せ論理回路11のテスト結果信号をFF21にラッチする場合には、クロック信号CLKを印加する。

【0019】スキューンアウト動作ではFF識別切替信号SARをハイにするとナンド43の出力はローになり、これによりトライステートバッファ3はイネーブルされ、FF21の反転出力 $\sim Q$ が位相反転されてバス7に送出される。図3は通常論理として後段組合せ論理回路にFFの反転出力を供給する場合であり、後段組合せ論理回路12に書き込みデータSIDを反転して印加する回路図である。後段組合せ論理回路12にはFF21の $\sim Q$ 出力が印加され、バス7には非反転のトライステートバッファ31を介してQ出力が送りだされる。

【0020】図8は本発明によるデジタル論理装置の他のスキューン回路の実施例回路図である。本実施例においては、SIDはFF21のセット端子のみに作用し、実効的にFF21に ~ 1 を書き込めない点が基本的に図1の場合と異なっている。 ~ 0 を書き込むためには前手順として予め他のFF22と共通にジェネラルリセット(GRST)しておく必要がある。

(4)

特開平5-172897

5

5

【0021】図9は通常論理として後段組合せ論理回路にFF反転出力を供給する本発明の実施例回路図。図10は図8、9の動作を説明するタイミングチャートである。スキャンインに先立って全てのFFを“0”にするためにジェネラルリセット（GRST）を印加する。次ぎのスキャンインではSiD（A）のようにローを設定したい時には前述したCTL、SAR、SiTとの論理積は成立せずナンド41の出力はハイのままであり、FF21はセットされない。すなわち、FF21はジェネラルリセット（GRST）によるロー状態を保持する。SiD（B）のようにハイを設定したいときには、前述したCTL、SAR、SiTとの論理積は成立しナンド41の出力はローとなり、FF21はリセットされ、ハイが設定される。

【0022】以上述べたように、本実施例ではSiDがローならスキャンインに先立ってジェネラルリセット（GRST）によるリセット状態を保持することで、後段組合せ論理回路に対しローが設定され、SiDがハイならFFがセットされることによって、後段組合せ論理回路に対してハイが設定される。前段組合せ論理回路の出力値ラッチとスキャンアウト動作は図1、図3の動作と同一である。

【0023】図11は本発明によるデジタル論理装置の他のスキャン回路実施例回路図である。本実施例においては、SiDはFF21のリセット端子のみに作用し、実効的にFF21に“0”を書き込むことしかできない回路となっている点が基本的に図1の実施例と異なっている。“1”を書き込むためには前手順として予め他のFF22と共通にジェネラルセット（GST）しておく必要がある。

【0024】図12は通常論理として後段組合せ論理回路にFF反転出力を供給する本発明の他の実施例回路図。図13は図11、12の動作を説明するタイミングチャートである。スキャンインに先立って全てのFFを“1”にするためジェネラルセット（GST）を印加する。次ぎのスキャンインではSiD（A）のようにローを設定したいときには前記CTL、SAR、SiTとの論理積が成立しナンド41の出力はローとなり、FF21はリセットされ、ローが設定される。SiD（B）のようにハイを設定したいときには、前述したCTL、SAR、SiTとの論理積は成立しナンド41の出力はハイのままであり、FF21はリセットされない。すなわち、FF21はジェネラルセット（GST）によるハイ状態を保持する。

【0025】以上述べたように、本実施例ではSiDがローならFFがリセットとされることによって後段組合せ論理回路に対しローが設定され、SiDがハイならスキャンインに先立ってジェネラルセット（GST）によるセット状態を保持することで、後段組合せ論理回路に対してハイが設定される。前段組合せ論理回路の出力値

ラッチとスキャンアウト動作は図1、図3の動作と同一である。

【0026】図12を図10、13等と比較すると、スキャンインに先立ってジェネラルリセット（GRST）、ジェネラルセット（GST）のタイムスロットが必要になる。ただし、図8、9のジェネラルリセット（GRST）と図11、12のジェネラルセット（GST）を駆動するインバータ5の出力は他の全てのFFを共通にすることができ、ジェネラルリセット（GRST）やジェネラルセット（GST）はデジタル論理装置全体について1タイムスロットであればよい。

【0027】また、図1や図3のスキャン回路では、デジタル装置内のFF数に比例比例してナンド41とナンド42が増加するのにならして、図8、9、11、12等におけるスキャン回路ではナンド41のみが用いられるので、スキャン回路の回路規模が半分で済むことになる。このことはFF総数が非常に多いデジタル論理回路においてはとくに有利になる。

【0028】図4は上記FF21の内部回路の一例である。3入力ナンド1～6を用い、出力は反転バッファ7、8を介して取り出されるため、出力Qおよび～Qに接続される負荷容量は相互に影響を及ぼさない。本発明に用いるFFとしては、例えばクロックドインバータを用いたものやトランスファゲートを用いるものであってもよく、また、反転バッファ7、8等はFFの外付けとしてもよい。

【0029】本発明は上記の各実施例に限定されず、本発明の趣旨の範囲内で変更可能であることはいうまでもない。例えば上記通常動作に影響を与えない端子として、上記セット端子、リセット端子の他に、プリセット端子、クリア端子等を用いる個とができる。さらにロード機能付きのフリップフロップであればロード端子で合ってもよい。

【0030】

【発明の効果】本発明によれば、フリップフロップによりデータをラッチして前段と後段の組合せ論理回路間を中継するデジタル論理回路において、上記前段組合せ論理回路のテスト結果信号を上記フリップフロップの上記後段組合せ論理回路用出力端子とは別の出力端子より取り出すようにするので、上記フリップフロップの上記データ出力端子部におけるファンアウト増加を防止して遅延増加を抑止することができる。さらに、上記後段組合せ論理回路用のテスト信号を上記フリップフロップのSet、Resetより入力するので上記フリップフロップのデータ入力部における切替回路を省略でき、これにより上記データ入力部における信号の遅延増加を防止することができる。

【図面の簡単な説明】

【図1】本発明による論理回路装置のスキャン回路実施例の回路図である。

(5)

特開平5-172897

7

8

【図2】図1のタイミングチャートである。

【図3】本発明による論値回路装置の他のスキャン回路実施例の回路図である。

【図4】フリップフロップ回路図である。

【図5】論理テストの検出率と工数の傾向を示す図である。

【図6】従来のスキャンイン/スキャンアウト回路の概念図である。

【図7】従来のスキャンイン/スキャンアウト回路のブロック図である。

【図8】本発明による論値回路装置の他のスキャン回路実施例の回路図である。

【図9】本発明による論値回路装置の他のスキャン回路実施例の回路図である。

【図10】図8および図9のタイミングチャートである。

【図11】本発明による論値回路装置の他のスキャン回

*路実施例の回路図である。

【図12】本発明による論値回路装置の他のスキャン回路実施例の回路図である。

【図13】図11および図12のタイミングチャートである。

【符号の説明】

2 フリップフロップ

3 反転トライステートバッファ

4 切替回路

5 インバータ

7 バス

11 前段組合せ論理回路

12 後段組合せ論理

21, 22 フリップフロップ

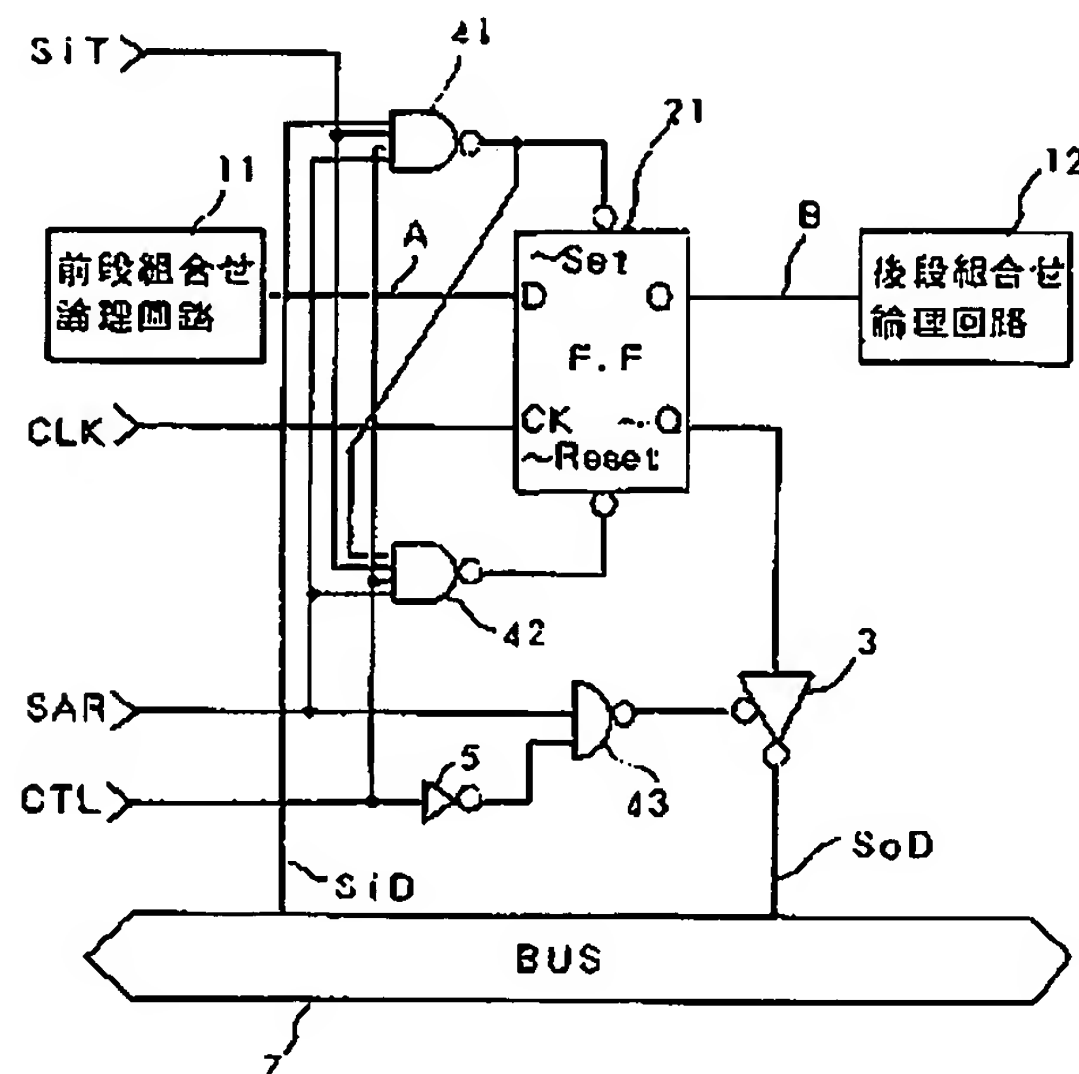
28 インバータ

31 非反転トライステートバッファ

41~43 ナンド

【図1】

図 1

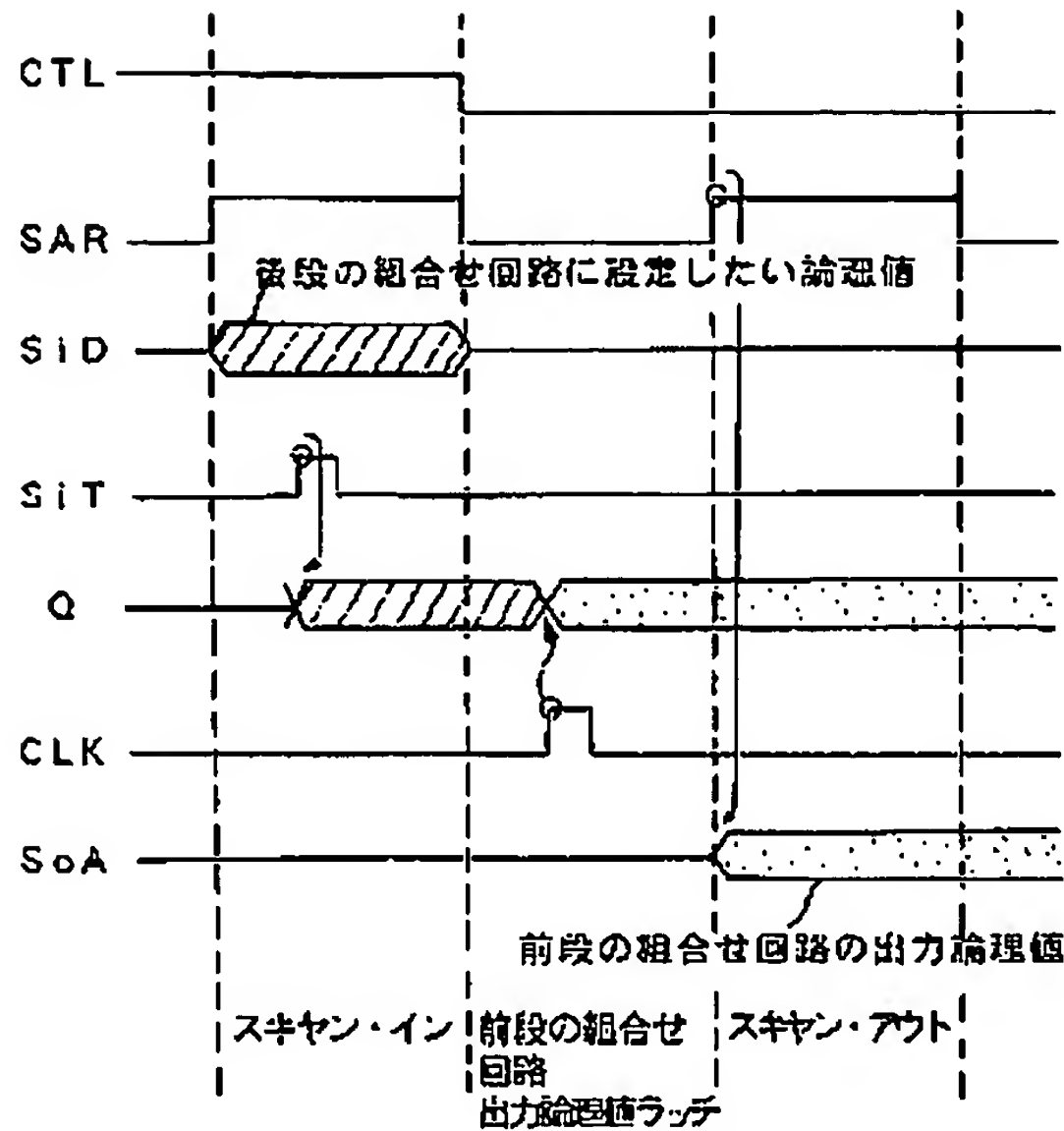


3…トライステートバッファ、5…インバータ、7…バス、21…フリップフロップ(F.F)、41、42…NAND、CTL…スキャンイン/アウト切替信号、SAR…F.Fの識別信号、SiD…F.F書き込みデータ、SoD…F.F書き出しデータ、SiT…タイミング信号、CLK…クロック信号。

(5) 特開平5-172897

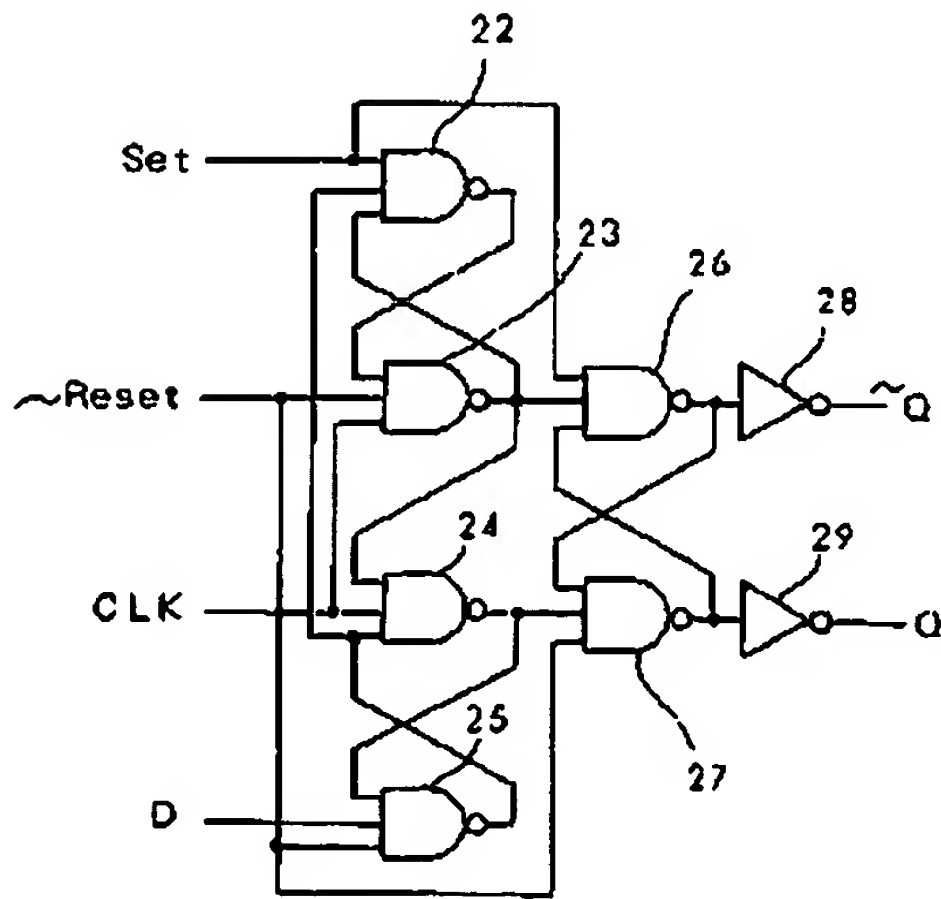
【図2】

図 2



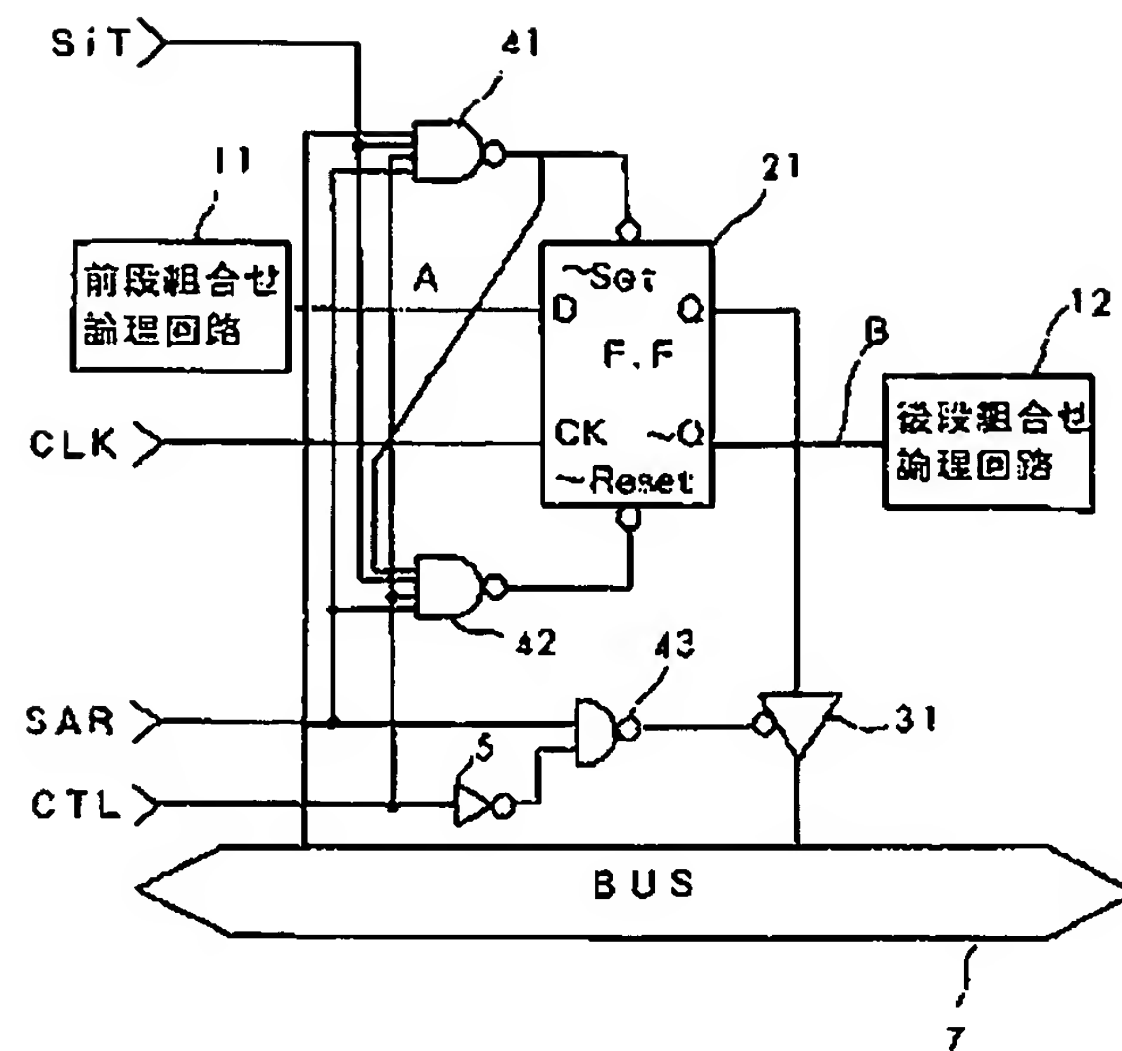
【図4】

図 4



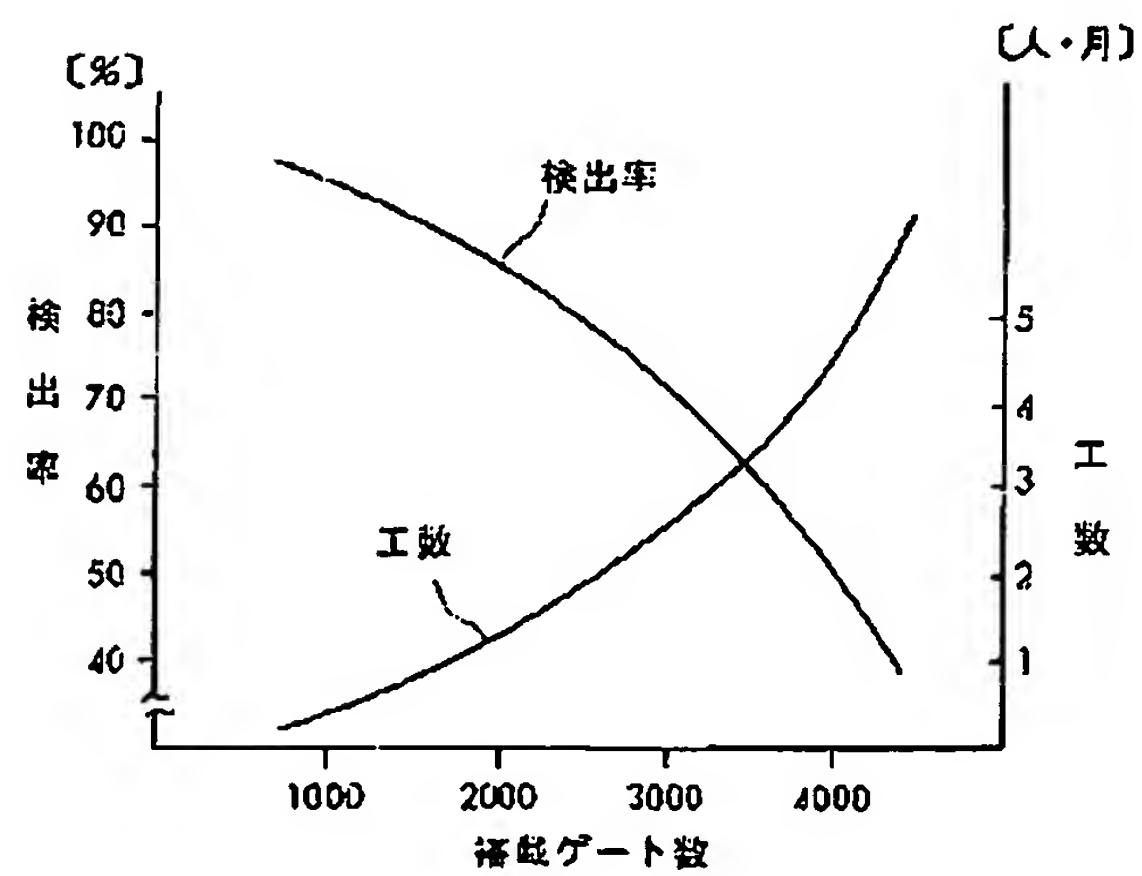
【图3】

图 3



【圖5】

图 5

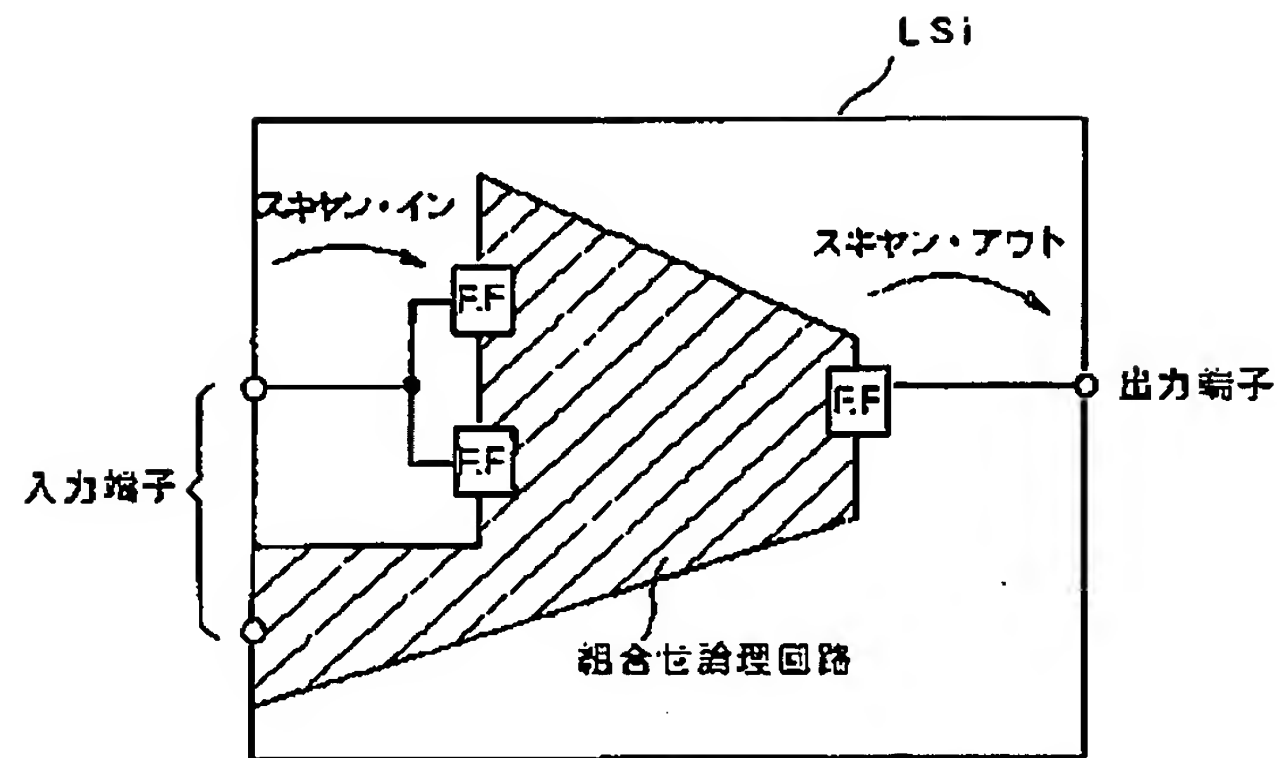


(8)

特開平5-172897

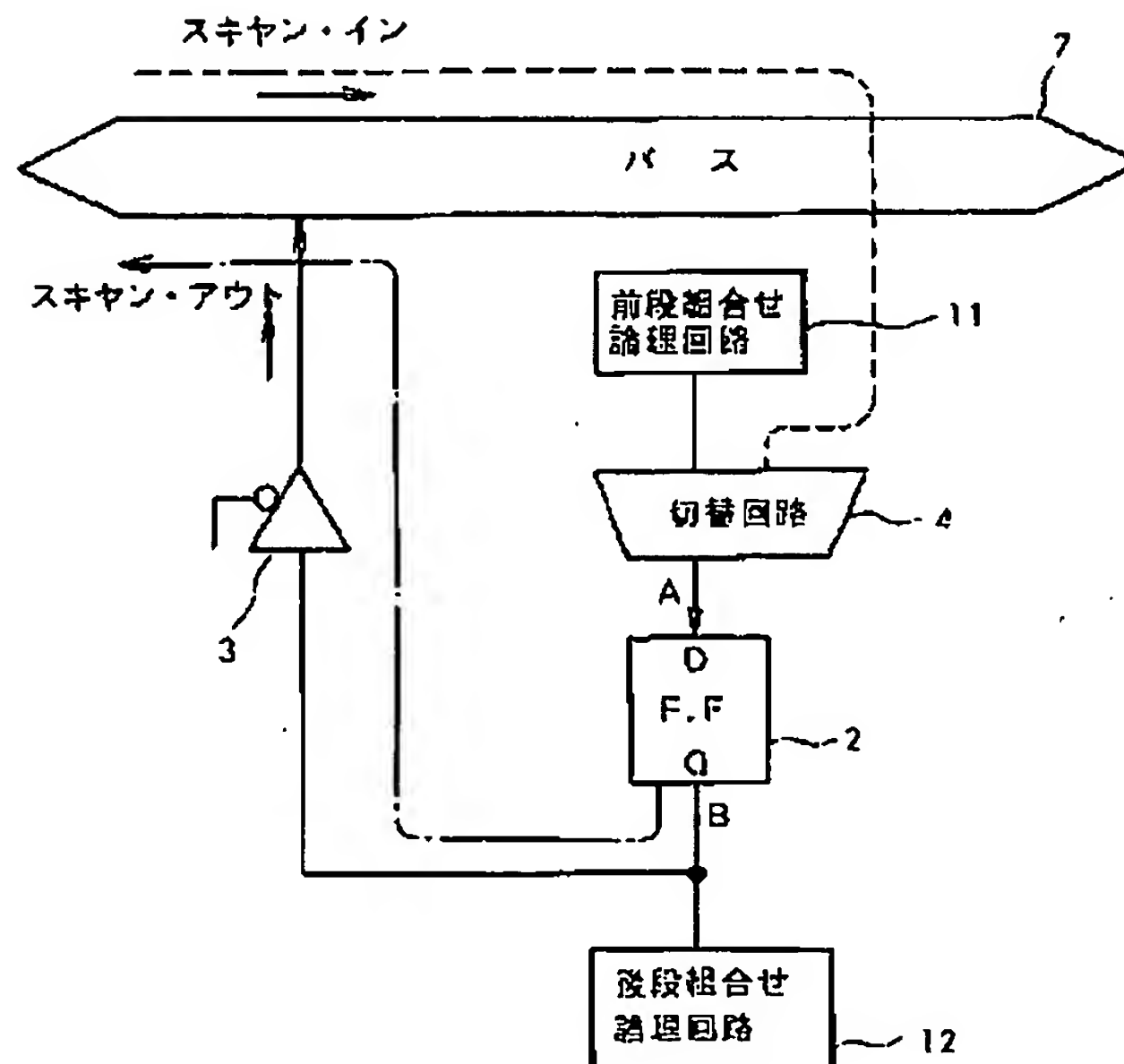
【図6】

図 6



【図7】

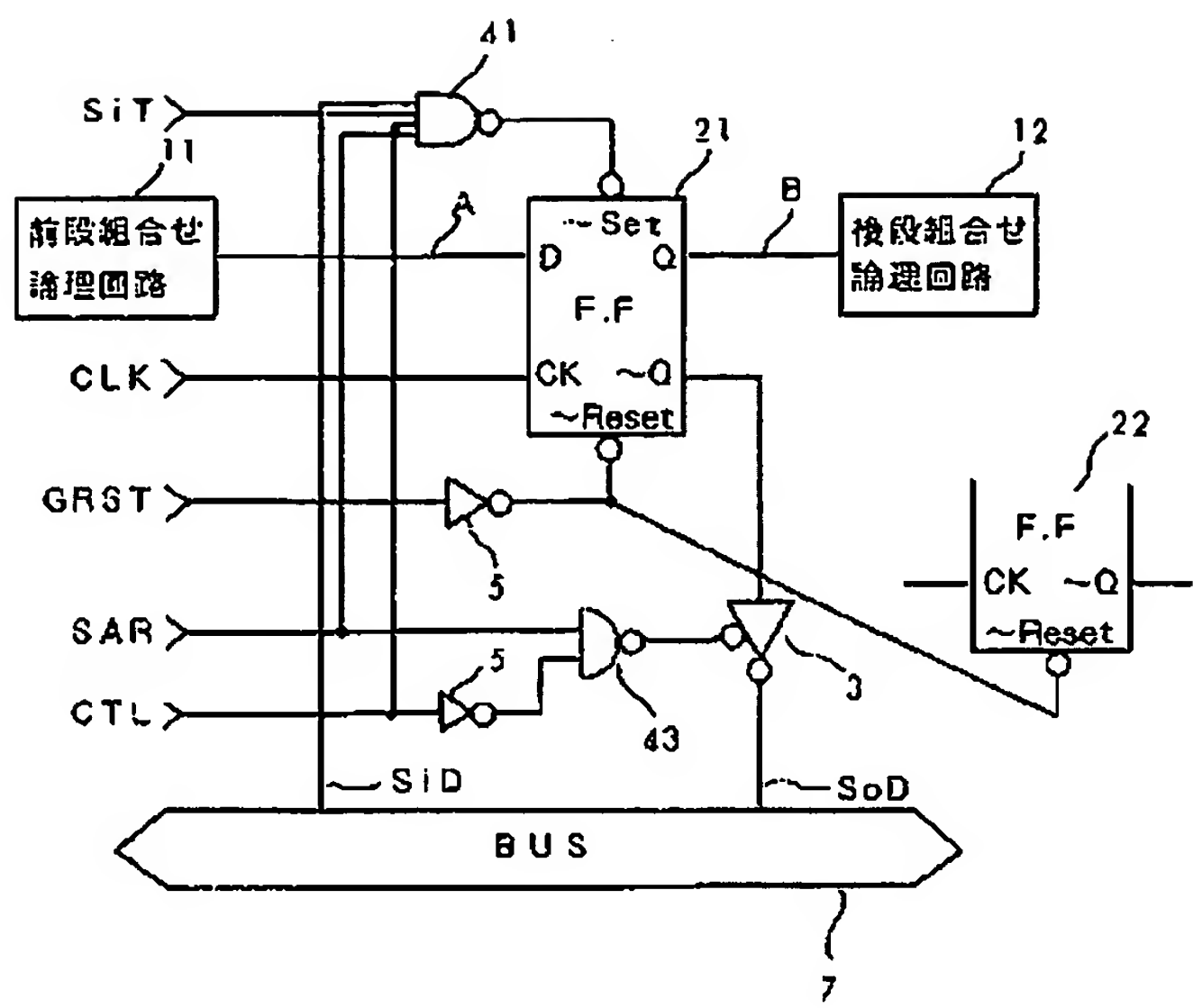
図 7



(9) 特開平5-172897

【図8】

図 8

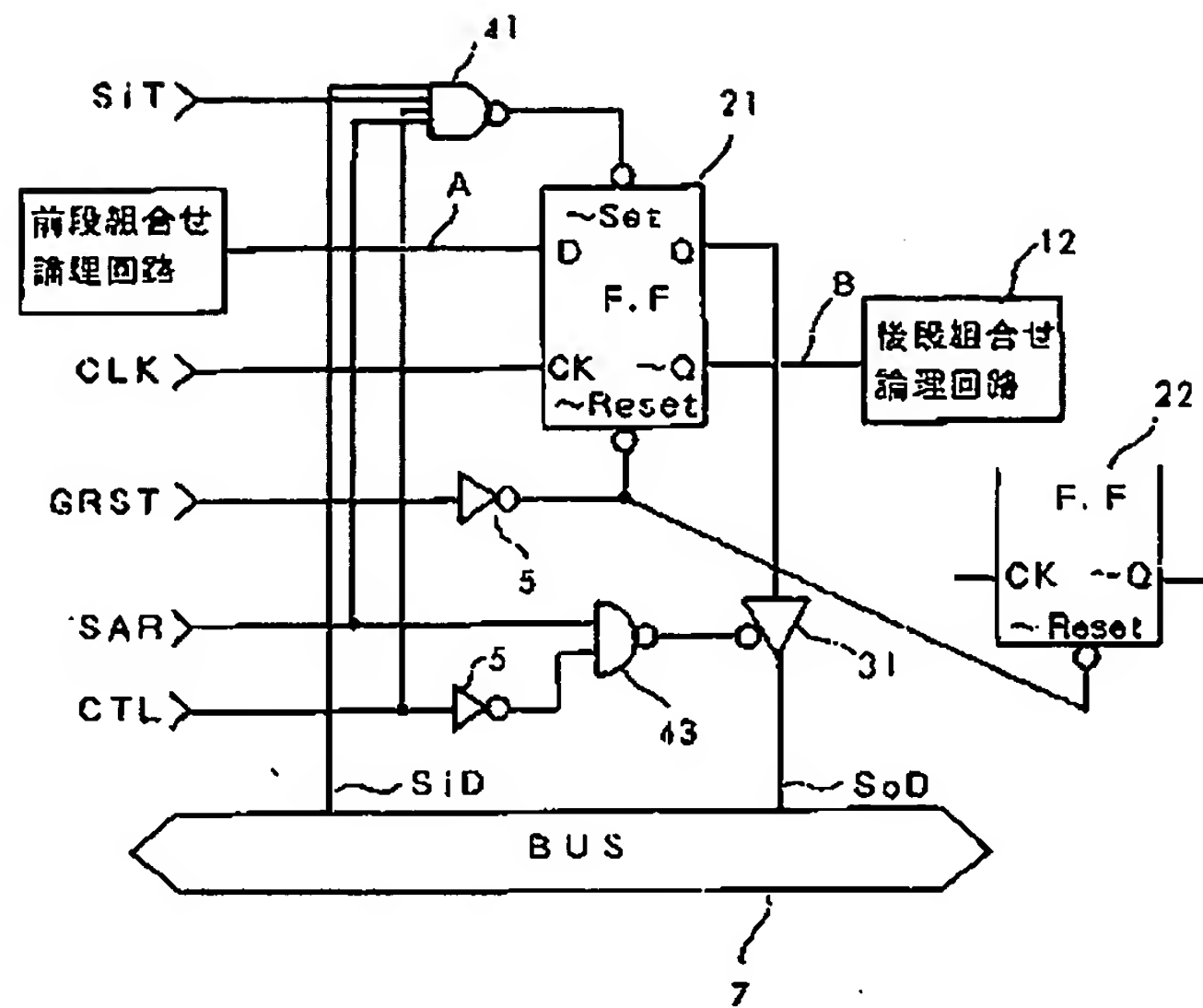


(10)

特開平5-172897

【図9】

図 9

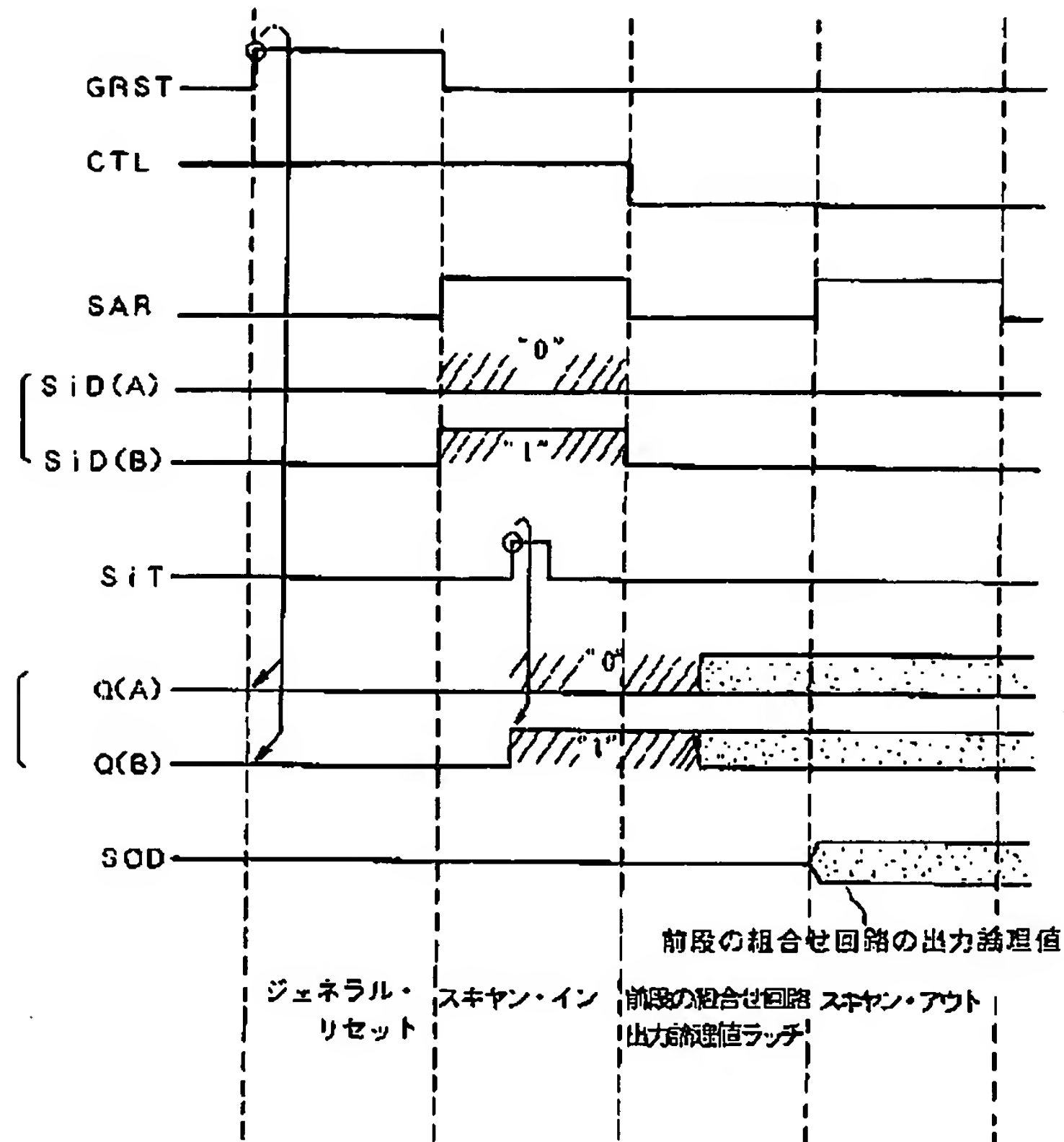


(11)

特開平5-172897

【図10】

図 10

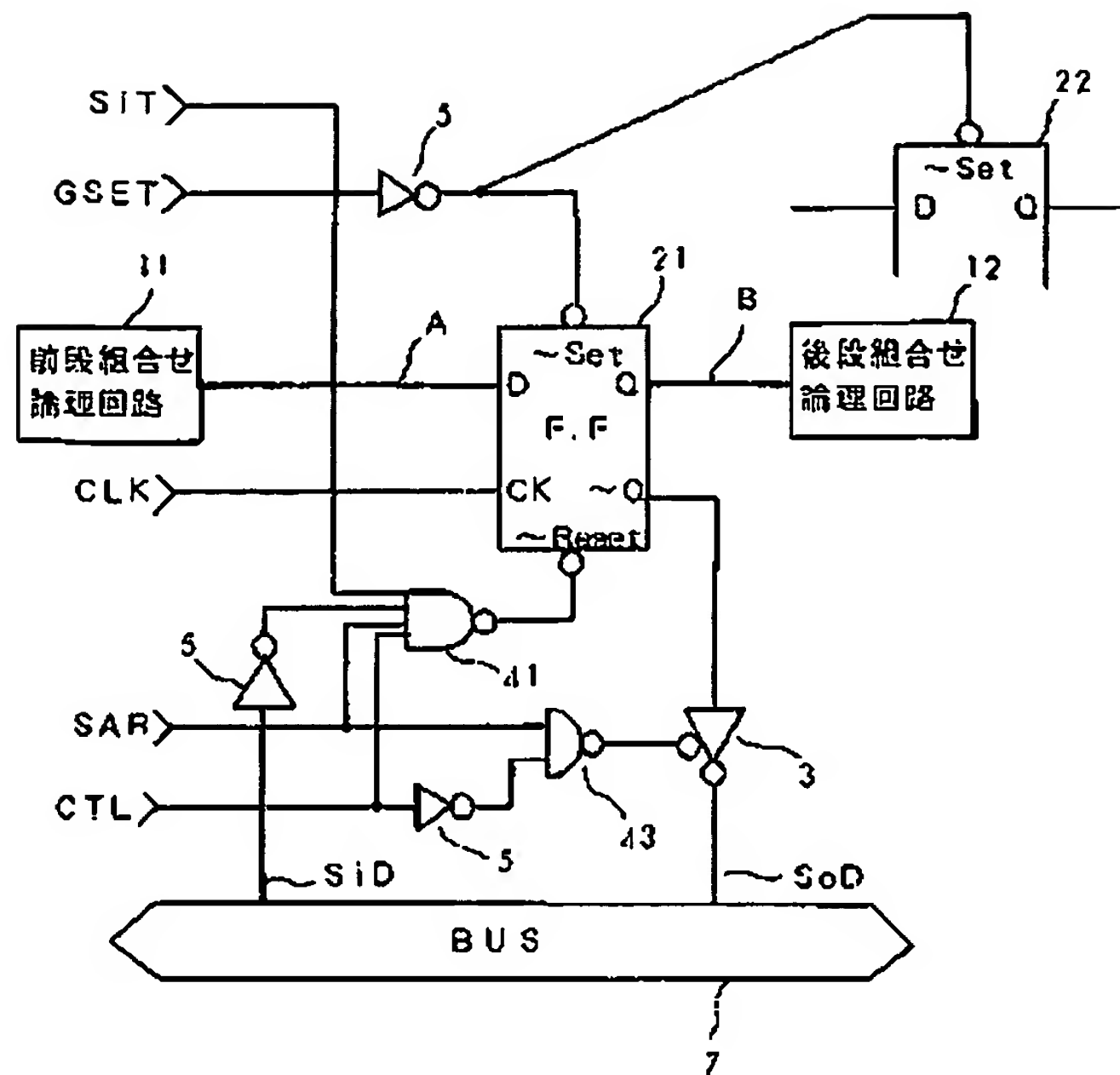


(12)

特開平5-172897

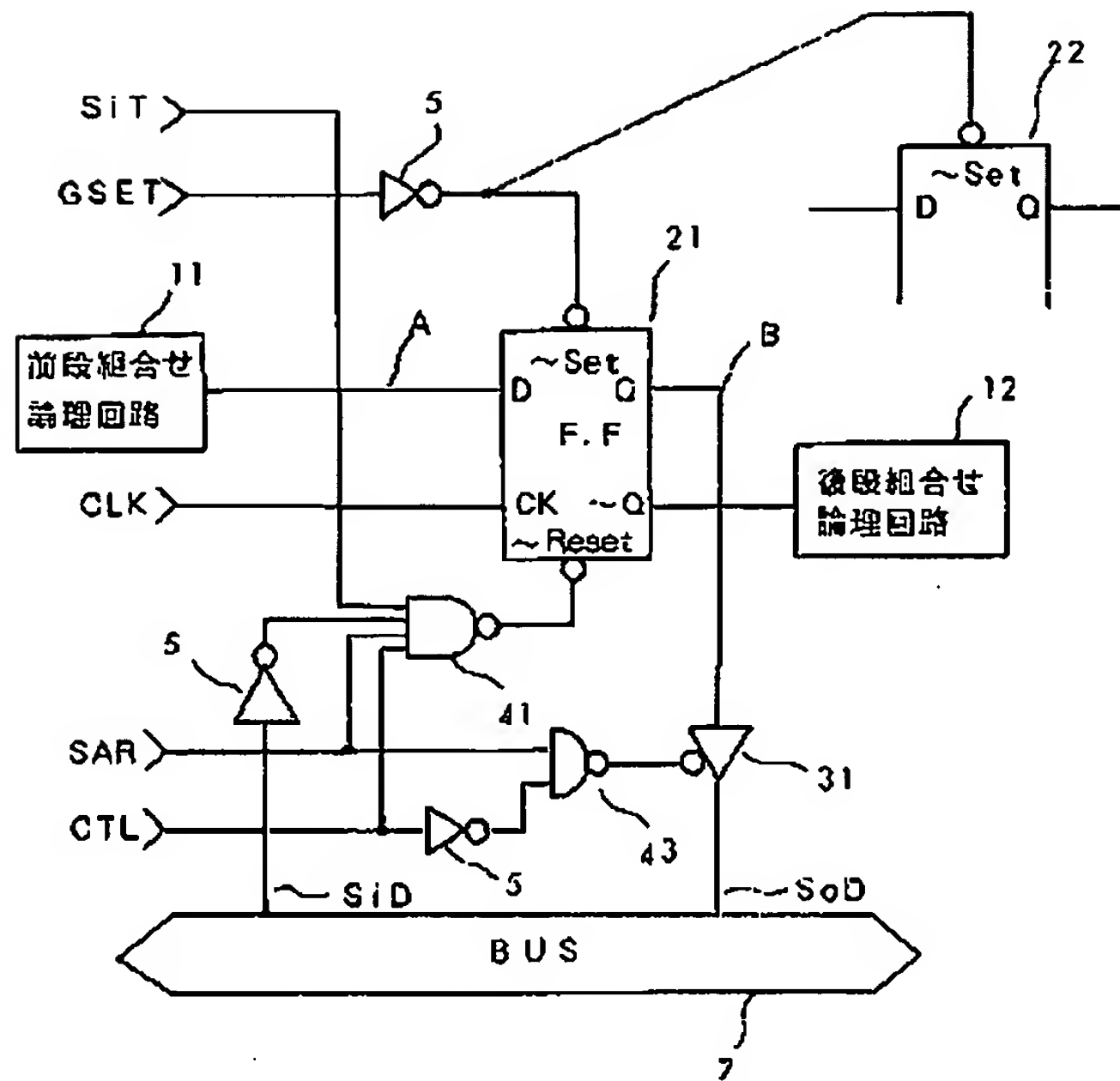
【図11】

図 11



特開平5-172897

圖 12

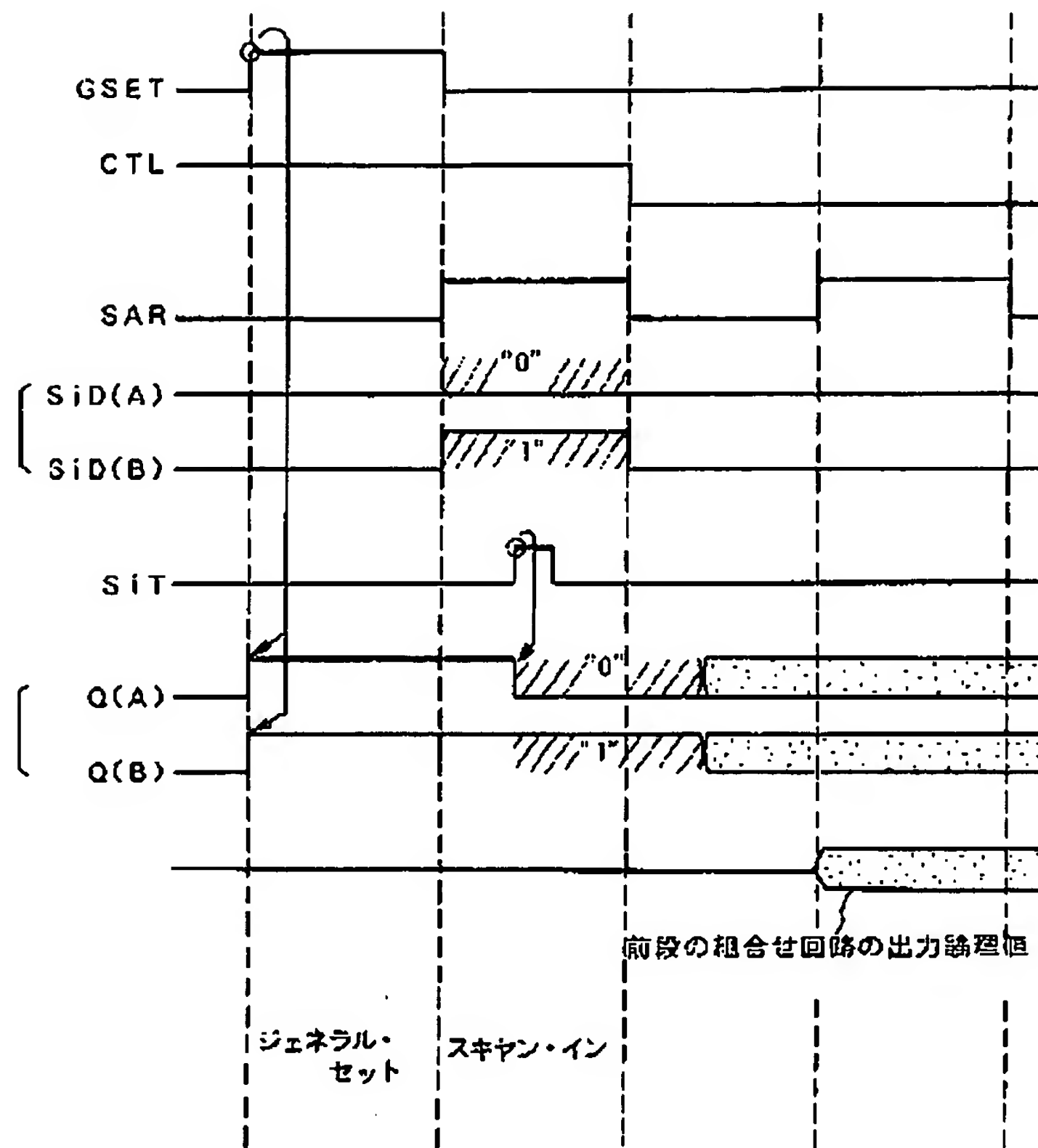


(14)

特開平5-172897

【図13】

図 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.